

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-332693

(P2001-332693A)

(43)公開日 平成13年11月30日 (2001.11.30)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
H 01 L 27/04		G 06 F 17/50	6 5 5 U 5 B 0 4 6
21/822			6 5 8 K 5 B 0 7 9
G 06 F 1/10		H 03 K 5/13	5 F 0 3 8
17/50	6 5 8	H 01 L 27/04	A 5 F 0 6 4
		G 06 F 1/04	3 3 0 A 5 J 0 0 1
			審査請求 有 請求項の数11 OL (全 16 頁) 最終頁に続く

(21)出願番号 特願2000-151751(P2000-151751)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(22)出願日 平成12年5月23日 (2000.5.23)

(72)発明者 藤井 徹

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100082935

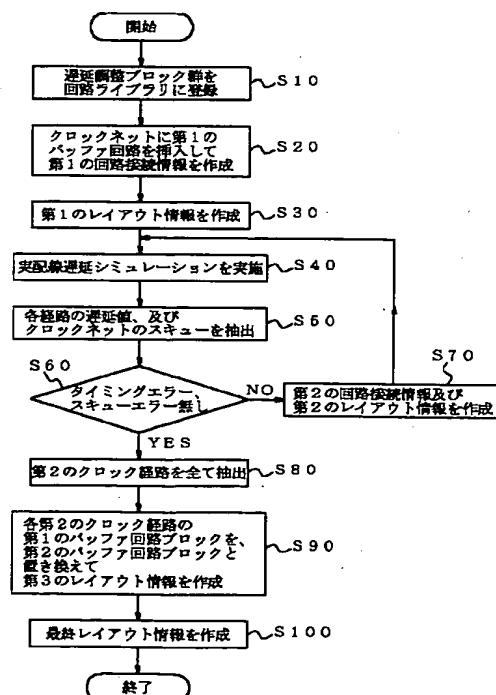
弁理士 京本 直樹 (外2名)

(54)【発明の名称】 バッファ回路ブロック及びこれを用いた半導体集積回路装置の設計方法

(57)【要約】

【課題】 LSIのクロック供給や信号伝達系に対して容易に且つ高い精度でクロック信号や伝達信号の遅延制御を行うことができるバッファ回路ブロックとそれを用いたLSIの設計方法を提供する。

【解決手段】 ブロックの外形形状、寸法、入／出力端子の位置、入力端子容量、出力部の負荷依存性も含めた駆動能力等が同じで遅延値のみが異なる複数のバッファ回路ブロックで構成された遅延調整ブロック群を回路ライブラリに登録するライブラリ準備ステップS10と、第1の回路設計ステップS20と、第1のレイアウトステップS30と、実配線遅延シミュレーションステップS40と、遅延情報抽出ステップS50と、第1のスキーー確認ステップS60と、第1のスキーー調整ステップS70と、第2のスキーー確認ステップS80と、第2のスキーー調整ステップS90を含み、構成される。



【特許請求の範囲】

【請求項 1】 入力部と遅延調整部と出力部とを含む半導体集積回路装置用バッファ回路ブロックであって、少なくとも入力端子が設けられた前記入力部の入力端子容量と前記出力部の負荷依存性も含む駆動能力を固定した状態で、前記遅延調整部の遅延時間を所定範囲で変化させることができる構成を有することを特徴とするバッファ回路ブロック。

【請求項 2】 各々が複数のトランジスタを含んで構成される入力部と遅延調整部と出力部とを含む半導体集積回路装置用バッファ回路ブロックであって、少なくとも前記入力部に設けられた入力端子位置、前記出力部に設けられた出力端子位置、外形形状及び外形寸法並びに前記入力部を構成するトランジスタの形状及び寸法並びに前記出力部を構成するトランジスタの形状及び寸法を固定した状態で、前記遅延調整部の遅延時間を所定範囲で変化させることができる構成を有することを特徴とするバッファ回路ブロック。

【請求項 3】 ブロック領域内に当該ブロックに含まれない素子の配置及び配線を禁止する配置配線禁止情報を更に固定した状態で、遅延調整部の遅延時間を所定範囲で変化させることができる構成を有する請求項 1 又は 2 記載のバッファ回路ブロック。

【請求項 4】 遅延調整部を構成する複数の一導電チャネル型トランジスタの中に、大きさの異なるトランジスタを含む請求項 1 乃至 3 いずれか 1 項に記載のバッファ回路ブロック。

【請求項 5】 入力部が p チャネル型電界効果トランジスタと n チャネル型電界効果トランジスタをそれぞれ少なくとも 1 個含む単位セル 1 個で構成され、遅延調整部が複数個の前記単位セルを含んで構成された請求項 1 乃至 3 いずれか 1 項に記載のバッファ回路ブロック。

【請求項 6】 出力部が複数個の単位セルを並列接続して構成された請求項 5 記載のバッファ回路ブロック。

【請求項 7】 クロック信号駆動回路ブロックと、このクロック信号駆動回路ブロックから送出されるクロック信号に同期して動作する複数の第 1 の回路ブロックを少なくとも含む半導体集積回路装置の設計方法であって、入力部と遅延調整部と出力部を含むバッファ回路ブロックの前記入力部の入力端子容量、前記出力部の負荷依存性を含む駆動能力及び内部の論理動作が同一で前記遅延調整部の信号遅延値が異なる複数の前記バッファ回路ブロックからなる遅延調整ブロック群を予め準備し、所定の回路ライブラリに登録するライブラリ準備ステップと、前記回路ライブラリを用いて前記半導体集積回路装置の回路設計を行う際に、少なくとも前記クロック信号駆動回路ブロックと複数の前記第 1 の回路ブロックそれぞれとを接続するクロック経路から構成されるクロックネットの前記各クロック経路の中に前記遅延調整ブロック群の中から所定の信号遅延値を有する第 1 のバッファ

回路ブロックを選択して挿入し、前記半導体集積回路装置の第 1 の回路接続情報を作成するステップと、前記回路ライブラリ及び前記第 1 の回路接続情報に基づいて配線を行い第 1 のレイアウト情報を作成する第 1 のレイアウトステップと、レイアウト情報を抽出されたパラメータを含む所定の情報を用いて前記半導体集積回路装置の実配線遅延シミュレーションを行なう遅延シミュレーションステップと、この遅延シミュレーションステップで得られたシミュレーション結果から前記クロックネットを構成する各クロック経路含む前記半導体集積回路装置の各信号経路の信号遅延値情報を抽出する遅延値情報抽出ステップと、遅延値情報抽出ステップで抽出された前記各信号経路の信号遅延値をそれぞれの所定の規格値と比較すると共に前記クロックネットのスキー値を所定の第 1 の規格値と比較しタイミングエラーの有無を判定する第 1 のスキー確認ステップと、少なくとも前記クロックネットのスキー値が前記第 1 の規格値を超えている場合に、前記クロックネットを構成する回路ブロックの配置配線の変更或いは前記第 1 のバッファ回路ブロックを除く前記回路ブロックの交換を行なって第 2 の回路接続情報及び第 2 のレイアウト情報を作成する第 1 のスキー調整ステップと、前記第 2 のレイアウト情報から抽出されたパラメータを用いる前記遅延シミュレーションステップと、前記遅延値情報抽出ステップと、前記第 1 のスキー確認ステップと、前記第 1 のスキー調整ステップとを繰り返し、前記クロックネットのスキー値が前記第 1 の規格値以下になった時点での前記各クロック経路の信号遅延値情報を基づいて、所定の第 1 のクロック経路の信号遅延値に対して、その差が所定の第 2 の規格値を超えている第 2 のクロック経路を全て抽出する第 2 のスキー確認ステップと、全ての前記第 2 のクロック経路のそれぞれについて、前記第 2 のクロック経路中の前記第 1 のバッファ回路ブロックが含まれる前記遅延調整ブロック群の中から、当該前記第 2 のクロック経路の信号遅延値と前記第 1 のクロック経路の信号遅延値との差が前記第 2 の規格値以下になるような信号遅延値を有する第 2 のバッファ回路ブロックを選択して前記第 1 の回路ブロックと置き換えて第 3 のレイアウト情報を作成する第 2 のスキー調整ステップと、を含むことを特徴とする半導体集積回路装置の設計方法。

【請求項 8】 指定された第 1 の信号経路の信号遅延値を、予め設定された目標信号遅延値に対して所定の誤差範囲に入るようにすることができるディジタル回路部を含む半導体集積回路装置の設計方法であって、入力部と遅延調整部と出力部を含むバッファ回路ブロックの前記入力部の入力端子容量、前記出力部の負荷依存性を含む駆動能力及び内部の論理動作が同一で前記遅延調整部の信号遅延値が異なる複数の前記バッファ回路ブロックからなる遅延調整ブロック群を予め準備し、所定の回路ライブラリに登録するライブラリ準備ステップと、前記

回路ライブラリを用いて前記半導体集積回路装置の回路設計を行う際に、少なくとも前記第1の信号経路の中に前記遅延調整ブロック群の中から所定の信号遅延値を有する第1のバッファ回路ブロックを選択して挿入し、前記半導体集積回路装置の第1の回路接続情報を作成するステップと、前記回路ライブラリ及び前記第1の回路接続情報に基づいて配置配線を行い第1のレイアウト情報を作成する第1のレイアウトステップと、レイアウト情報から抽出されたパラメータを含む所定の情報を用いて前記半導体集積回路装置の実配線遅延シミュレーションを行う遅延シミュレーションステップと、前記遅延シミュレーションステップで得られたシミュレーション結果から前記第1の信号経路を含む前記半導体集積回路装置の各信号経路の信号遅延値情報を抽出する遅延値情報抽出ステップと、前記遅延値情報抽出ステップで抽出された前記各信号経路の信号遅延値をそれぞれの所定の規格値と比較すると共に前記第1の信号経路の信号遅延値と前記目標信号遅延値の差の絶対値を所定の第1の規格値と比較しタイミングエラーの有無を判定する第1の遅延確認ステップと、少なくとも前記第1の信号経路の信号遅延値と前記目標信号遅延値の差の絶対値が前記第1の規格値を越えている場合は、前記第1の信号経路に含まれる回路ブロックの配置配線の変更或いは前記第1のバッファ回路ブロックを除く前記回路ブロックの交換を行って第2の回路接続情報及び第2のレイアウト情報を作成する第1の遅延調整ステップと、前記第2のレイアウト情報から抽出されたパラメータを用いる前記遅延シミュレーションステップと、前記遅延値情報抽出ステップと、前記第1の遅延確認ステップと、前記第1の遅延調整ステップとを繰り返し、前記第1の信号経路の信号遅延値と前記目標信号遅延値との差の絶対値が前記第1の規格値以下になった時点での前記第1の信号経路の信号遅延値と前記目標信号遅延値との差の絶対値が所定の第2の規格値を越えているか否かを判定する第2の遅延確認ステップと、前記第2の遅延確認ステップの結果、前記第1の信号経路の信号遅延値と前記目標信号遅延値との差の絶対値が所定の第2の規格値を越えていた場合は、前記第1の信号経路中の前記第1のバッファ回路ブロックが含まれる前記遅延調整ブロック群の中から、当該前記第1の信号経路の信号遅延値と前記目標信号遅延値との差の絶対値が前記第2の規格値以下になるような信号遅延値を有する第2のバッファ回路ブロックを選択して前記第1の回路ブロックと置き換え、第3のレイアウト情報を作成する第2の遅延調整ステップと、を含むことを特徴とする半導体集積回路装置の設計方法。

【請求項9】 遅延調整ブロック群を構成する複数のバッファ回路ブロックの配線禁止情報も共通に設定されている請求項6乃至8いずれか1項に記載の半導体集積回路装置の設計方法。

【請求項10】 回路ライブラリが複数の遅延調整ブロ

ック群を含み、且つ同一の前記遅延調整ブロック群に含まれる複数のバッファ回路ブロックの最大信号遅延値が少なくとも一つは異なる前記遅延調整ブロック群を有する請求項6乃至9いずれか1項に記載の半導体集積回路装置の設計方法。

【請求項11】 回路ライブラリが、同一の遅延調整ブロック群を構成する複数のバッファ回路ブロックの信号遅延値の中の最大及び最小の信号遅延値をそれぞれ t_{pdgmax} 、 t_{pdgmin} としたとき、その差 ($t_{pdgmax} - t_{pdgmin}$) が第1の規格値よりも大きい有効遅延調整ブロック群を少なくとも一つ含む請求項10に記載の半導体集積回路装置の設計方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体集積回路装置におけるクロック信号を含む信号遅延時間の調整技術に関し、特にバッファ回路ブロックの構成及びそのバッファ回路ブロックを用いた半導体集積回路装置の設計方法に関する。

【0002】

【従来の技術】 半導体集積回路装置（以下、LSIとする）の大規模化、高速化に伴い、LSI内部での信号遅延時間の制御、特に一つのクロック信号に同期して動作する回路ブロックを複数含むLSIにおいては、クロックスキーの低減をますます強く求められている。このクロックスキーを低減する方法については、従来から種々提案されている。

【0003】 図9、10、11は、従来のクロックスキーを低減する方法の例を示す図で、それぞれ、特開平10-11494号公報（以下、公知例1とする）、特開平8-274260号公報（以下、公知例2とする）、特開平10-335470号公報（以下、公知例3とする）に開示された方法の処理を説明するための図である。

【0004】 例えば、公知例1には、クロックツリーにおけるクロックライン上のバッファについて異なる入力論理閾値を持つバッファに置換し、前段の出力純りの効果によって遅延量を変え、クロックスキーを低減させる方法が開示されている。

【0005】 また、公知例2には、クロックツリー手法を用いて配置した駆動能力最大のドライバを、第2段目からブロック回路までの遅延が最大になるバスの信号遅延値に、他の枝ツリーのバスの信号遅延値が等しくなるように予め用意しておいた小駆動能力ドライバに差し替えてスキーを低減する方法が開示されている。

【0006】 更に、公知例3には、クロック信号に同期して動作する順序回路セルと、順序回路セルの出力を受けて動作する組合せ回路セルと、順序回路セルにクロック信号を供給するためのクロックバッファセルとに対する配置配線（S1）を施し、該配置配線処理にて得られ

たクロック供給系におけるクロックバッファの駆動負荷を解析(S2)し、クロックバッファの駆動負荷に応じてクロックバッファの駆動能力を設定(S3, S4)することにより、クロック信号のスキーを高精度に制御する方法が開示されている。

【0007】

【発明が解決しようとする課題】上述の各公知例に開示された方法は、いずれもクロックツリー上のバッファを置き換える際に、その入力論理閾値或いは駆動能力を変化させて遅延調整を施している。従って、これらの公知例では、クロックスキーをある程度まで低減するには、それぞれ効果が得られている。しかし、バッファの置き換えによりクロックツリーやその周辺回路の特性に影響を与えることにより、バッファそのものの入力端子容量が変化したりするため、バッファ置き換え後に実配線遅延シミュレーションを実行してみなければ、最終的にどこまでスキーが低減されたか分からず、限りなくスキーを低減するには限界がある。

【0008】また、高精度の信号遅延量を指定された特定の信号経路についても、その経路での信号遅延が許容限度を超える場合には、経路上のブロックの配置及び配線を変更することが必要になる。

【0009】本発明の目的は、LSIのクロック供給や信号伝達系に対して容易に且つ高い精度でクロック信号や伝達信号の遅延制御を行うことができるバッファ回路ブロックとそれを用いたLSIの設計方法を提供することにある。

【0010】本発明の他の目的は、クロックスキーを最適化するための設計期間を短縮できるバッファ回路ブロックとそれを用いたLSIの設計方法を提供することにある。

【0011】

【課題を解決するための手段】本発明のLSI用バッファ回路ブロックは、入力部と遅延調整部と出力部とを含み、少なくとも入力端子が設けられた前記入力部の入力端子容量と前記出力部の負荷依存性も含む駆動能力を固定した状態で、前記遅延調整部の遅延時間を所定範囲で変化させることができる構成を有している。

【0012】また、本発明の他のLSI用バッファ回路ブロックは、各々が複数のトランジスタを含んで構成される入力部と遅延調整部と出力部とを含み、少なくとも前記入力部に設けられた入力端子位置、前記出力部に設けられた出力端子位置、外形形状及び外形寸法並びに前記入力部を構成するトランジスタの形状及び寸法並びに前記出力部を構成するトランジスタの形状及び寸法を固定した状態で、前記遅延調整部の遅延時間を所定範囲で変化させることができる構成を有している。

【0013】このとき、ブロック領域内に当該ブロックに含まれない素子の配置及び配線を禁止する配置配線禁止情報を更に固定した状態で、遅延調整部の遅延時間を

所定範囲で変化させることができる構成とするのが望ましい。

【0014】また、遅延調整部を構成する複数の一導電チャネル型トランジスタの中に、大きさの異なるトランジスタを含むようにすることもできる。

【0015】或いは、入力部がpチャネル型電界効果トランジスタとnチャネル型電界効果トランジスタをそれぞれ少なくとも1個含む単位セル1個で構成し、遅延調整部を複数個の前記単位セルを含んで構成するようにしてもよい。更に、出力部を複数個の単位セルを並列接続して構成することもできる。

【0016】また、本発明のLSIの設計方法は、クロック信号駆動回路ブロックと、このクロック信号駆動回路ブロックから送出されるクロック信号に同期して動作する複数の第1の回路ブロックを少なくとも含むLSIの設計方法であって、入力部と遅延調整部と出力部を含むバッファ回路ブロックの前記入力部の入力端子容量、前記出力部の負荷依存性を含む駆動能力及び内部の論理動作が同一で前記遅延調整部の信号遅延値が異なる複数の前記バッファ回路ブロックからなる遅延調整ブロック群を予め準備し、所定の回路ライブラリに登録するライブラリ準備ステップと、前記回路ライブラリを用いて前記LSIの回路設計を行う際に、少なくとも前記クロック信号駆動回路ブロックと複数の前記第1の回路ブロックそれぞれとを接続するクロック経路から構成されるクロックネットの前記各クロック経路の中に前記遅延調整ブロック群の中から所定の信号遅延値を有する第1のバッファ回路ブロックを選択して挿入し、前記LSIの第1の回路接続情報を作成するステップと、前記回路ライブラリ及び前記第1の回路接続情報に基づいて配置配線を行い第1のレイアウト情報を作成する第1のレイアウトステップと、レイアウト情報を抽出されたパラメータを含む所定の情報を用いて前記LSIの実配線遅延シミュレーションを行う遅延シミュレーションステップと、この遅延シミュレーションステップで得られたシミュレーション結果から前記クロックネットを構成する各クロック経路含む前記LSIの各信号経路の信号遅延値情報を抽出する遅延値情報抽出ステップと、遅延値情報抽出ステップで抽出された前記各信号経路の信号遅延値をそれぞれの所定の規格値と比較すると共に前記クロックネットのスキー値を所定の第1の規格値と比較しタイミングエラーの有無を判定する第1のスキー確認ステップと、少なくとも前記クロックネットのスキー値が前記第1の規格値を超えている場合に、前記クロックネットを構成する回路ブロックの配置配線の変更或いは前記第1のバッファ回路ブロックを除く前記回路ブロックの交換を行って第2の回路接続情報及び第2のレイアウト情報を作成する第1のスキー調整ステップと、前記第2のレイアウト情報を抽出されたパラメータを用いる前記遅延シミュレーションステップと、前記遅延値

情報抽出ステップと、前記第1のスキー確認ステップと、前記第1のスキー調整ステップとを繰り返し、前記クロックネットのスキー値が前記第1の規格値以下になった時点での前記各クロック経路の信号遅延値情報に基づいて、所定の第1のクロック経路の信号遅延値に対して、その差が所定の第2の規格値を超えている第2のクロック経路を全て抽出する第2のスキー確認ステップと、全ての前記第2のクロック経路のそれぞれについて、前記第2のクロック経路中の前記第1のバッファ回路ブロックが含まれる前記遅延調整ブロック群の中から、当該前記第2のクロック経路の信号遅延値と前記第1のクロック経路の信号遅延値との差が前記第2の規格値以下になるような信号遅延値を有する第2のバッファ回路ブロックを選択して前記第1の回路ブロックと置き換えて第3のレイアウト情報を作成する第2のスキー調整ステップと、を含み構成されている。

【0017】また、本発明の他のLSIの設計方法は、指定された第1の信号経路の信号遅延値を、予め設定された目標信号遅延値に対して所定の誤差範囲内に入るようにすることが必要なディジタル回路部を含むLSIの設計方法であって、入力部と遅延調整部と出力部を含むバッファ回路ブロックの前記入力部の入力端子容量、前記出力部の負荷依存性を含む駆動能力及び内部の論理動作が同一で前記遅延調整部の信号遅延値が異なる複数の前記バッファ回路ブロックからなる遅延調整ブロック群を予め準備し、所定の回路ライブラリに登録するライブラリ準備ステップと、前記回路ライブラリを用いて前記LSIの回路設計を行う際に、少なくとも前記第1の信号経路の中に前記遅延調整ブロック群の中から所定の信号遅延値を有する第1のバッファ回路ブロックを選択して挿入し、前記LSIの第1の回路接続情報を作成するステップと、前記回路ライブラリ及び前記第1の回路接続情報に基づいて配置配線を行い第1のレイアウト情報を作成する第1のレイアウトステップと、レイアウト情報から抽出されたパラメータを含む所定の情報を用いて前記LSIの実配線遅延シミュレーションを行う遅延シミュレーションステップと、前記遅延シミュレーションステップで得られたシミュレーション結果から前記第1の信号経路を含む前記LSIの各信号経路の信号遅延値情報を抽出する遅延値情報抽出ステップと、前記遅延値情報抽出ステップで抽出された前記各信号経路の信号遅延値をそれぞれの所定の規格値と比較すると共に前記第1の信号経路の信号遅延値と前記目標信号遅延値の差の絶対値を所定の第1の規格値と比較しタイミングエラーの有無を判定する第1の遅延確認ステップと、少なくとも前記第1の信号経路の信号遅延値と前記目標信号遅延値の差の絶対値が前記第1の規格値を越えている場合は、前記第1の信号経路に含まれる回路ブロックの配置配線の変更或いは前記第1のバッファ回路ブロックを除く前記回路ブロックの交換を行って第2の回路接続情報

及び第2のレイアウト情報を作成する第1の遅延調整ステップと、前記第2のレイアウト情報から抽出されたパラメータを用いる前記遅延シミュレーションステップと、前記遅延値情報抽出ステップと、前記第1の遅延確認ステップと、前記第2の遅延調整ステップとを繰り返し、前記第1の信号経路の信号遅延値と前記目標信号遅延値との差の絶対値が前記第1の規格値以下になった時点での前記第1の信号経路の信号遅延値と前記目標信号遅延値との差の絶対値が所定の第2の規格値を越えているか否かを判定する第2の遅延確認ステップと、前記第2の遅延確認ステップの結果、前記第1の信号経路の信号遅延値と前記目標信号遅延値との差の絶対値が所定の第2の規格値を越えていた場合は、前記第1の信号経路中の前記第1のバッファ回路ブロックが含まれる前記遅延調整ブロック群の中から、当該前記第1の信号経路の信号遅延値と前記目標信号遅延値との差の絶対値が前記第2の規格値以下になるような信号遅延値を有する第2のバッファ回路ブロックを選択して前記第1の回路ブロックと置き換え、第3のレイアウト情報を作成する第2の遅延調整ステップと、を含み構成されている。

【0018】このとき、遅延調整ブロック群を構成する複数のバッファ回路ブロックの配線禁止情報も共通に設定するのが望ましい。

【0019】また、回路ライブラリが、同一の遅延調整ブロック群に含まれるバッファ回路ブロックの最大信号遅延値が異なる複数の遅延調整ブロック群を備えてもよい。

【0020】或いは、回路ライブラリが、同一の遅延調整ブロック群を構成する複数のバッファ回路ブロックの信号遅延値の中の最大及び最小の信号遅延値をそれぞれ t_{pdgmax} , t_{pdgmin} としたとき、その差 ($t_{pdgmax} - t_{pdgmin}$) が第1の規格値よりも大きい有効遅延調整ブロック群を少なくとも一つ含むようにしてもよい。

【0021】

【発明の実施の形態】次に、本発明の実施形態について図面を参照して説明する。

【0022】まず、本発明の第1の実施形態のバッファ回路ブロック（以下、BFBとする）の集合で構成される遅延調整ブロック群について説明する。図1は、この遅延調整ブロック群における共通部分の概略構成を示すブロック図である。

【0023】図1を参照すると、本発明の第1の実施形態のBFBの集合で構成される遅延調整ブロック群の共通部分（以下、BFCBとする）100は、入力部1と遅延調整部2と出力部3から構成されている。

【0024】例えば、入力部1を所定のサイズPMOSとNMOSからなる第1のインバータ（以下、INV1とする）で構成し、出力部3をそれがk個ずつ並列に接続されてPMOSとNMOSからなる第3のインバータ（以下、INV3とする）で構成し、遅延調整部2

をPMOSとNMOSの組をm組 (INV21～INV2mとする) 並べて構成している。従って、このBFB-C100の外形形状、外形寸法、入力端子5の位置、出力端子7の位置、入力部1と出力部3のレイアウトパターンを固定したままでも、遅延調整部2に並べられたINV21～INV2mそれぞれのPMOSとNMOSをどのように接続するかにより、入力部1から出力部3までの遅延量を変化させることができると共に、出力信号の論理を入力信号の論理と同じにするか反転させるかも設定できる。

【0025】例えば、このBFB-C100の構成を用いて、出力信号の論理が入力信号の論理と同じで、遅延量のみが異なる複数のBFBを作成して一つの遅延調整ブロック群が構成でき、出力信号の論理が入力信号の論理と逆で、遅延量のみが異なる複数のBFBで他の遅延調整ブロック群が構成できる。

【0026】図2は、k=3, m=2の場合のBFB-C100の具体的なレイアウトパターンの例である。

【0027】図2を参照すると、このBFB-C100の入力部101はPMOS11とNMOS31とで構成されたINV1からなり、出力部103は並列に接続された3個のPMOS14, 15, 16と、同じく並列接続された3個のNMOS34, 35, 36とで構成されたINV3からなっている。また、遅延調整部102は、構成要素であるINV21が含むPMOS12, NMOS32と、INV22が含むPMOS13, NMOS33を用いて、PMOS12, 13を並列接続し、NMOS32, 33も同様に並列接続して、PMOS12, 13とNMOS32, 33によりインバータを構成している。

【0028】より具体的には、PMOS11, 12の共通ソース拡散領域11S, PMOS13, 14の共通ソース拡散領域13S, PMOS15, 16の共通ソース拡散領域15Sは、それぞれコンタクト孔（以下、CHとする）11CS, 13CS, 15CSを介していずれも電源（VDD）配線91に接続され、NMOS31, 32の共通ソース拡散領域31S, NMOS33, 34の共通ソース拡散領域33S, NMOS35, 36の共通ソース拡散領域35SはそれぞれCH31CS, 33CS, 35CSを介していずれも接地（GND）配線92に接続されている。また、PMOS11～16の各ゲート電極とNMOS31～36の各ゲート電極は、PMOS11とNMOS31, PMOS12とNMOS32, PMOS13とNMOS33, PMOS14とNMOS34, PMOS15とNMOS35, PMOS16とNMOS36が、それぞれ例えばポリシリコン配線51, 52, 53, 54, 55, 56により共通接続されている。更に、PMOS11, 14, 15, 16の各ドレイン拡散領域11D, 14D, 15D, 16DとNMOS31, 34, 35, 36の各ドレイン拡散領域31

D, 34D, 35D, 36Dは、PMOS11とNMOS31がCH11CDとCH31CDを介して、PMOS14とNMOS34がCH14CDとCH34CDを介して、PMOS15とNMOS35がCH15CDとCH35CDを介して、PMOS16とNMOS36がCH16CDとCH36CDを介して、それぞれ例えば第1金属配線層で形成された配線61, 64, 65, 66により共通接続されている。尚、電源配線91と接地配線92は、少なくともBFB110内では例えば第1金属配線層で形成されている。

【0029】このBFB110の入力端子5は、PMOS11とNMOS31のゲート電極を共通接続するポリシリコン配線51上にCH51CPを介して接続する第1金属配線層で形成されており、また、出力端子7は、配線64, 65, 66をそれぞれヴィアホール（VH）64V, 65V, 66Vを介して共通接続する例えば第2金属配線層で形成された配線81で形成されている。

【0030】入力部101の出力端である配線61と、出力部103の入力端である配線88とを、遅延調整部102に含まれるPMOS12, 13とNMOS32, 33とどのように介して接続するかにより、出力信号の遅延量と論理が定まる。

【0031】次に、図2のBFB-C100を共通部とし、出力信号の論理を入力信号の論理に対して反転させた場合の遅延調整ブロック群を構成するBFBの具体的な例について説明する。

【0032】図3は、BFB-C100を基にした第1のBFBの回路接続レイアウトパターン（a）とその等価回路図（b）であり、図4は、BFB-C100を基にした第1のBFBと外形形状、外形寸法、入力端子、出力端子の位置、入力部と出力部のレイアウトパターン、入出力信号の論理の関係等が共通で、遅延調整部の遅延量のみが異なる第2のBFBの回路接続レイアウトパターン（a）とその等価回路図（b）である。

【0033】図3を参照すると、このBFB110の入力部111はPMOS11とNMOS31とで構成されたINV1からなり、出力部113は並列に接続された3個のPMOS14, 15, 16と、同じく並列接続された3個のNMOS34, 35, 36とで構成されたINV3からなっている。また、遅延調整部112は、構成要素であるINV21が含むPMOS12, NMOS32と、INV22が含むPMOS13, NMOS33を用いて、PMOS12, 13を並列接続し、NMOS32, 33も同様に並列接続して、PMOS12, 13とNMOS32, 33によりインバータを構成している。

【0034】より具体的には、PMOS11, 12の共通ソース拡散領域11S, PMOS13, 14の共通ソース拡散領域13S, PMOS15, 16の共通ソース拡散領域15Sは、それぞれCH11CS, 13CS,

15CSを介していずれも電源配線91に接続され、NMOS31, 32の共通ソース拡散領域31S, NMOS33, 34の共通ソース拡散領域33S, NMOS35, 36の共通ソース拡散領域35SはそれぞれCH31CS, 33CS, 35CSを介していずれも接地配線92に接続されている。また、PMOS11～16の各ゲート電極とNMOS31～36の各ゲート電極は、PMOS11とNMOS31, PMOS12とNMOS32, PMOS13とNMOS33, PMOS14とNMOS34, PMOS15とNMOS35, PMOS16とNMOS36が、それぞれ例えばポリシリコン配線51, 52, 53, 54, 55, 56により共通接続されている。更に、PMOS11～16の各ドレイン拡散領域11D～16DとNMOS31～36の各ドレイン拡散領域31D～36Dは、PMOS11とNMOS31がCH11CDとCH31CDを介して、PMOS12とNMOS32がCH12CDとCH32CDを介して、PMOS13とNMOS33がCH13CDとCH33CDを介して、PMOS14とNMOS34がCH14CDとCH34CDを介して、PMOS15とNMOS35がCH15CDとCH35CDを介して、PMOS16とNMOS36がCH16CDとCH36CDを介して、それぞれ例えば第1金属配線層で形成された配線61, 62, 63, 64, 65, 66により共通接続されている。尚、電源配線91と接地配線92は、少なくともBFB110内では例えば第1金属配線層で形成されている。

【0035】このBFB110の入力端子5は、PMOS11とNMOS31のゲート電極を共通接続するポリシリコン配線51上に、例えばCH51CPを介して接続する第1金属配線層の配線71で形成されており、また、出力端子7は、配線64, 65, 66をそれぞれVH64V, 65V, 66Vを介して共通接続する例えば第2金属配線層の配線81で形成されている。

【0036】入力部111の出力端である配線61は、VH61Vを介して第2金属配線層で形成された配線83と接続し、配線83は第1金属配線層で形成された配線72, 73とそれぞれVH72V, 73Vを介して接続し、更に配線72, 73はそれぞれCH52CP, 53CPを介してポリシリコン配線52, 53と接続している。すなわち、遅延調整部112に含まれるPMOS12, 13とNMOS32, 33の各ゲート電極が全て、入力部111の出力端である配線61に接続されている。

【0037】また、PMOS12とNMOS32の各ドレイン拡散領域12D, 32Dを接続する配線62と、PMOS13とNMOS33の各ドレイン拡散領域13D, 33Dを接続する配線63は、それぞれVH62VとVH63Vを介して第2金属配線層で形成された配線84と接続し遅延調整部112の出力端となっている。

更にこの配線84は、出力部113のポリシリコン配線54, 55, 56とCH54CP, 55CP, 56CPを介して接続している第1金属配線層で形成された配線74, 75, 76とそれぞれVH74V, 75V, 76Vを介して接続している。すなわち、出力部113を構成するPMOS14, 15, 16及びNMOS34, 35, 36の各ゲート電極が全て遅延調整部112の出力端である配線84に接続されている。

【0038】次に、BFB120について、図4を参照して説明する。尚、図4において、トランジスタ、配線、CH、VHについては、図3と同じ構成要素については同じ参照符号を用いている。

【0039】BFB120の入力部121と出力部123については、それぞれBFB110の入力部111と出力部113と全く同一になるように構成されているので説明は省略する。遅延調整部122については、PMOS12のドレイン拡散領域12DがCH12CDを介して電源配線91に接続され、NMOS32のドレイン拡散領域32DがCH32CDを介して接地配線92に接続され、BFB110で設けられていた配線62が無くなっている。従って、遅延調整部122と出力部123を接続する配線85は、配線63とVH63Vを介して接続すると共に、配線74, 75, 76とそれぞれVH74V, 75V, 76Vを介して接続しているだけである。

【0040】すなわち、BFB110の遅延調整部112では、PMOS12, 13とNMOS32, 33がそれぞれ並列接続されてインバータを構成していたのに対し、BFB120では、遅延調整部122で実際に作用するトランジスタがPMOS13とNMOS33だけで、その駆動能力がBFB110の遅延調整部112の駆動能力の1/2になっており、その分BFB120の遅延量がBFB110に比べて大きくなっている。しかも、BFB110とBFB120とは、ブロックの外形形状、寸法、入/出力端子の位置、入力端子容量、駆動能力等が全く同一であり、BFB110とBFB120の構成に用いられている素子配置、配線パターンの和集合に基づいて配置配線禁止領域を生成しておけば、いずれか一方のBFBを用いたLSIの配置配線終了後に、周辺領域への影響なしに、他方のBFBと差し替えることができる。しかも、このBFBが挿入されている経路の遅延時間は、差し替えるBFBの遅延時間の差だけ変化することを再シミュレーションなしで保証することができる。

【0041】尚、上述の実施形態では、入力部、遅延調整部、出力部と同じ大きさ、形状のトランジスタで構成した例で説明したが、同一遅延調整ブロック群に属するBFBは、ブロックの外形形状、寸法、入/出力端子の位置、入力端子容量、出力部の負荷依存性も含めた駆動能力等を全く同一にするという原則の範囲内で、入力

部、遅延調整部、出力部を、それぞれ大きさ、形状の異なるトランジスタで構成してもよい。これは、少なくとも同一遅延調整ブロック群に属するBFBのブロックの外形形状、寸法、ブロックの入／出力端子位置を一定にすると共に、入力部と出力部を構成するトランジスタの形状、寸法、ブロック内の配置を同一にすればよい。遅延調整部については、大きさ、従って駆動能力の異なるトランジスタを適宜組み込むことで、ブロックの寸法の増大を抑制しながら、一つの遅延調整ブロック群で調整可能な遅延量を大きくすることができる。

【0042】次に、本発明の第2の実施形態のLSIの設計方法について説明する。

【0043】図5は、本実施形態のLSIの設計方法の概略を示す流れ図である。本実施形態の設計方法で設計されるLSIは、少なくともクロック信号駆動回路ブロックと、このクロック信号駆動回路ブロックから送出されるクロック信号に同期して動作する複数の第1の回路ブロックを含んでいるものとする。

【0044】図5を参照すると、本実施形態のLSIの設計方法は、必要な遅延調整ブロック群を予め準備して回路ライブラリに登録するライブラリ準備ステップS10と、この回路ライブラリを用いて、クロックネットを構成する各クロック経路の中に所定の信号遅延値を有する第1のBFBを選択して挿入し、LSIの第1の回路接続情報を作成する第1の回路設計ステップS20と、回路ライブラリ及び第1の回路接続情報に基づいて配置配線を行い第1のレイアウト情報を作成する第1のレイアウトステップS30と、第1のレイアウト情報から抽出されたパラメータを含む所定の情報を用いてLSIの実配線遅延シミュレーションを行う実配線遅延シミュレーションステップS40と、実配線遅延シミュレーションステップS40で得られたシミュレーション結果からクロックネットを含む各経路の信号遅延値情報を抽出する遅延情報抽出ステップS50と、抽出された各経路の信号遅延値を所定の規格値と比較すると共にクロックネットのスキーを所定の第1の規格値と比較しタイミングエラーの有無を判定する第1のスキー確認ステップS60と、タイミングエラーが検出された場合は、配置配線の変更を施して第2の回路接続情報及び第2のレイアウト情報を作成する第1のスキー調整ステップS70と、少なくともクロックネットのスキーが第1の規格値以下になるまで、この第1のスキー調整ステップS70と、実配線遅延シミュレーションステップS40と、遅延情報抽出ステップS50と、第1のスキー確認ステップS60とを繰り返し、全てのタイミングエラーが解消された時点で、このときの実配線遅延シミュレーションの結果から抽出されたクロックネットを構成する各クロック経路の信号遅延値が、所定の第1のクロック経路の信号遅延値に対して、その差が所定の第2の規格値を超えている第2のクロック経路を全て抽出する第

2のスキー確認ステップS80と、全ての第2のクロック経路について、当該第2のクロック経路の信号遅延値と第1のクロック経路の信号遅延値との差が第2の規格値以下になるような信号遅延値を有する第2のBFBを選択して当該第2のクロック経路中の第1のBFBと置き換えて第3のレイアウト情報を作成する第2のスキー調整ステップS90を含み、構成される。

【0045】次に、この設計方法の具体的な動作について説明する。

【0046】尚、設計対象LSIに要求されているクロックスキーの最大規格値を第2の規格値 t_{sk} とし、第1の規格値を t_{ske0} ($\geq t_{sk}$) とする。この第1の規格値 t_{ske0} は、公知例1、2、3に開示されている方法を含む既存のクロックスキー低減手法を用いて比較的容易に達成できるスキー値に設定するのが好ましい。

【0047】まず、ライブラリ準備ステップS10で、所望のLSIの設計に必要な、信号遅延値が異なる複数のBFBからなる遅延調整ブロック群を設計し、所定の回路ライブラリに登録する。このとき、同一の遅延調整ブロック群に属する各BFBはいずれも入力部と遅延調整部と出力部からなるBFBで、ブロックの形状、大きさ及び配置配線禁止領域、入力部のトランジスタの形状、大きさ、配置、更に入力端子位置及び入力端子容量、出力部のトランジスタの形状、大きさ、配置、更に出力端子位置及び負荷依存性を含む駆動能力並びに遅延調整部の論理動作が同一であって、遅延調整部の信号遅延値のみが異なる。このとき、同一遅延調整ブロック群の中で、最小の信号遅延値を有するBFBの信号遅延値を t_{pdgmin} 、最大の信号遅延値を有するBFBの信号遅延値を t_{pdgmax} としたとき、その差 ($t_{pdgmax} - t_{pdgmin}$) = t_{crmax1} (遅延調整ブロック群の最大遅延調整量) が、第1の規格値 t_{ske0} 以上となる有効遅延調整ブロック群を含むようにすることが望ましい。また、同一遅延調整ブロック群の中で、任意のBFBに対して、信号遅延値の差が第2の規格値 t_{sk} 以下となる他のBFBが必ず存在するように準備するのが望ましい。更に、配置配線禁止領域については、同一遅延調整ブロック群に属する全てのBFBのブロック内配線領域及び素子配置領域の和集合領域に基づいて、配置配線禁止領域を設定すればよい。

【0048】次に、第1の回路設計ステップS20で、この回路ライブラリを用いて所望の機能を実現するLSIの回路設計を行う。このとき、少なくともクロック信号駆動回路ブロックと複数の第1の回路ブロックそれぞれとを接続するクロックネットを構成するクロック経路の中に、第1の規格値 t_{ske0} を超える最大遅延調整量 t_{crmax1} を有する遅延調整ブロック群200の中から所定の信号遅延値を有する第1のBFBを選択して挿入し、LSIの第1の回路接続情報を作成する。ここでは、第1のBFBとして、遅延調整ブロック群200の中で信

号遅延値が最小のBFB201が選択、挿入されたものとする。また、この第1の回路接続情報に含まれるクロックネットの1例が、図6(a)のように表されたものとする。すなわち、クロック信号駆動回路ブロック601と複数の第1の回路ブロック701～706それぞれとを接続するクロックネット300を構成するクロック経路301～306の中に、第1のBFB201を挿入して第1の回路接続情報が作成されている。尚、第1のBFB201の挿入位置は、各クロック経路301～306最終段、言い換えると第1の回路ブロック701～706の直前に挿入される。また、改めて詳述はしないが、通常の回路接続情報レベルでの論理検証、タイミング検証は全て実施されたものとする。

【0049】次に、第1のレイアウトステップS30で、回路ライブラリ及び第1の回路接続情報に基づいて配置配線を行い、第1のレイアウト情報を作成する。

【0050】次に、実配線遅延シミュレーションステップS40で、回路ライブラリ、第1の回路接続情報、第1のレイアウト情報から抽出されたパラメータ等に基づいて、当該LSIの実配線遅延シミュレーションを行い、次の遅延情報抽出ステップS50でこのシミュレーション結果からクロックネット300を含む各経路の信号遅延情報を抽出する。

【0051】次に、第1のスキー確認ステップS60で、抽出された各経路の信号遅延値を所定の規格値と比較すると共にクロックネット300のスキー値 t_{skn0} を第1の規格値 t_{ske0} と比較し、それぞれの規格値を超えるタイミングエラーの有無を判定する。

【0052】この第1のスキー確認ステップS60でタイミングエラーが検出された場合は、第1のスキー調整ステップS70で、エラーが検出された当該経路中の回路ブロックの差し替え或いは配置配線の変更等を施して第2の回路接続情報及び第2のレイアウト情報を作成する。但し、少なくともクロックネット300に挿入されている第1のBFB201の差し替えは行わないようにし、回路ブロック610, 620, 630の差し替え、或いは各クロック経路301～306の配置配線を変更するだけとする。

【0053】この後、この第2の回路接続情報と第2のレイアウト情報に基づいて、実配線遅延シミュレーションステップS40、遅延情報抽出ステップS50、第1のスキー確認ステップS60とこの第1のスキー調整ステップS70を、全てのタイミングエラーが無くなるまで繰り返す。

【0054】図6(b)は、第1のスキー確認ステップS60で全てのタイミングエラー無くなった時点でのクロックネット300の構成を示す図である。具体的には、回路ブロック610, 620, 630がそれぞれ回路ブロック611, 621, 631に修正され、クロック経路301～306がクロック経路311～316に

修正されたものとする。この時点までは、第1のBFB201の差し替えなしで処理される。

【0055】このときの実配線遅延シミュレーション結果から抽出された各クロック経路311～316の信号遅延値情報に基づいて、次の第2のスキー確認ステップS80で所定の第1のクロック経路の信号遅延値に対して、その差が第2の規格値 t_{sk} を超える第2のクロック経路を全て抽出する。ここでは、クロック経路311～316の中で、クロック経路311の信号遅延値が最大とし、このクロック経路311を第1のクロック経路とする。また、第2のクロック経路として、クロック経路313, 315, 316が抽出されたものとする。

【0056】次に、第2のスキー調整ステップS90で、まず第1のクロック経路であるクロック経路311の信号遅延値と、第2のクロック経路として抽出された例えばクロック経路313の信号遅延値との差を算出する。次に遅延調整ブロック群200に含まれるBFBの中から、BFB201の信号遅延値にこの差を加えた値以下で且つ最も近い信号遅延値を有するBFB203を差し替えるべきBFBとして選択する。第2のクロック経路として抽出されている他のクロック315, 316についても同様にして、それぞれBFB205, 206を選択し、クロック経路313, 315, 316中に挿入されていたBFB201を、それぞれBFB203, 205, 206と差し替えて第2のレイアウト情報を修正し、第3のレイアウト情報を作成する。尚、図6

(c)は、第2のスキー調整ステップS90を完了した時点での、クロックネット300の構成を示す図である。

【0057】遅延調整ブロック群として、最大遅延調整量 t_{crmax1} が、第1の規格値 t_{ske0} を超え、且つ含まれる任意のBFBに対して、信号遅延値の差が第2の規格値 t_{sk} 以下となる他のBFBが必ず存在するようにして準備しておけば、この処理によりクロックネット300のスキー値を第2の規格値 t_{sk} 以下にできる。

【0058】次に、最終レイアウト情報作成ステップS100で、第3のレイアウト情報に対して、所定の設計ルールチェック等を実施し、LSI製造のためのレティクル製造用或いは電子ビーム直接露光用の最終レイアウト情報を作成し、設計を完了する。尚、第2のスキー確認ステップS80で、第2のクロック経路が抽出されなかった場合は、この第2のスキー確認ステップS80を実施した時点での最新の第2のレイアウト情報をそのまま第3のレイアウト情報とすればよい。

【0059】次に、本発明の第3の実施形態のLSIの設計方法について説明する。

【0060】図7は、本実施形態のLSIの設計方法の概略を示す流れ図である。本実施形態の設計方法で設計されるLSIは、指定された信号経路の信号遅延時間が、予め設定された目標信号遅延時間に対して所定の誤

差範囲内に入るようになることが必要なデジタル回路部を少なくとも含んでいるものとする。

【0061】図7を参照すると、本実施形態のLSI設計方法は、必要な遅延調整ブロック群を予め準備して回路ライブラリに登録するライブラリ準備ステップS11と、この回路ライブラリを用いて、所定の第1の信号経路の中に所定の信号遅延値を有する第1のBFBを選択して挿入し、LSIの第1の回路接続情報を作成する第1の回路設計ステップS21と、回路ライブラリ及び第1の回路接続情報に基づいて配置配線を行い第1のレイアウト情報を作成する第1のレイアウトステップS31と、第1のレイアウト情報から抽出されたパラメータを含む所定の情報を用いてLSIの実配線遅延シミュレーションを行う実配線遅延シミュレーションステップS41と、実配線遅延シミュレーションステップS41で得られたシミュレーション結果から第1の信号経路を含む各経路の信号遅延値情報を抽出する遅延情報抽出ステップS51と、抽出された各経路の信号遅延値を所定の規格値と比較すると共に第1の信号経路の信号遅延値と目標信号遅延値の差の絶対値を所定の第1の規格値と比較しタイミングエラーの有無を判定する第1の遅延確認ステップS61と、タイミングエラーが検出された場合は、配置配線の変更を施して第2の回路接続情報及び第2のレイアウト情報を作成する第1の遅延調整ステップS71と、少なくとも第1の信号経路の信号遅延値と目標信号遅延値の差の絶対値が第1の規格値以下になるまで、この第1の遅延調整ステップS71と、実配線遅延シミュレーションステップS41と、遅延情報抽出ステップS51と、第1の遅延確認ステップS61とを繰り返し、全てのタイミングエラーが解消された時点で、このときの実配線遅延シミュレーションの結果から抽出された第1の信号経路の信号遅延値と目標信号遅延値との差を第2の規格値と比較しタイミングエラーの有無を確認する第2の遅延確認ステップS81と、第2の遅延確認ステップS81の結果、第1の信号経路の信号遅延値と目標信号遅延値との差の絶対値が所定の第2の規格値を越えていた場合は、第1の信号経路中の第1のバッファ回路ブロックが含まれる遅延調整ブロック群の中から、当該第1の信号経路の信号遅延値と目標信号遅延値との差の絶対値が第2の規格値以下になるような信号遅延値を有する第2のバッファ回路ブロックを選択して第1の回路ブロックと置き換え、第3のレイアウト情報を作成する第2の遅延調整ステップS91を含み、構成される。

【0062】次に、この設計方法の具体的な動作について説明する。

【0063】図8は、対象となるLSIのデジタル回路部が含む、信号遅延時間が設定された目標信号遅延時間に対して所定の誤差範囲内に入ることが必要な第1の信号経路の模式的なブロック図である。本実施形態の設

計方法も基本的には第2の実施形態の設計方法と同様であるので、共通する部分の説明は省略する。

【0064】尚、この第1の信号経路の信号遅延時間を 0、予め設定された目標信号遅延時間をTd0、所定の第1の規格値をta1、第2の規格値である誤差をta0(≤ta1)としたとき、 |

$$Td0 - ta0 \leq t d0 \leq Td0 + ta0$$

に入るようにすることが求められているものとする。

【0065】まず、第2の実施形態と同様、ライブラリ準備ステップS11で、所望のLSIの設計に必要な、信号遅延が異なる複数のBFBからなる遅延調整ブロック群を設計し、所定の回路ライブラリに登録する。第2の実施形態の説明におけるt_{sk}、t_{ske0}をそれぞれ2ta0、2ta1に置き換えれば、第2の実施形態のライブラリ準備ステップS10と全く同じであるので、詳細は省略する。

【0066】次に、第1の回路設計ステップS21で、この回路ライブラリを用いて所望の機能を実現するLSIの回路設計を行う。このとき、回路ブロック650、660、670、680、690を含む第1の信号経路400の中に、第1の規格値ta1を超える最大遅延調整量t_{crmax1}を有する遅延調整ブロック群250の中から所定の信号遅延値を有する第1のBFBを選択して挿入し、LSIの第1の回路接続情報を作成する。ここでは、第1のBFBとして、遅延調整ブロック群250の中で最大の信号遅延値T_{bmax}を有するBFB259が選択、挿入されたものとする。尚、本実施形態においても、第2の実施形態の場合と同様、通常の回路接続情報レベルでの論理検証、タイミング検証は全て実施されたものとする。

【0067】次に、第1のレイアウトステップS31で、回路ライブラリ及び第1の回路接続情報に基づいて配置配線を行い、第1のレイアウト情報を作成する。このとき第1の信号経路400の各回路ブロック650、660、670、680、690及び挿入されている第1のBFB259の間は、ブロック間接続配線経路701～705で接続されたものとする。図8(a)は、この時点での、第1の信号経路400の模式的なブロック図である。

【0068】次に、実配線遅延シミュレーションステップS41で、回路ライブラリ、第1の回路接続情報、第1のレイアウト情報を抽出されたパラメータ等に基づいて、当該LSIの実配線遅延シミュレーションを行い、次の遅延情報抽出ステップS51でこのシミュレーション結果から第1の信号経路400を含む各経路の信号遅延値情報を抽出する。

【0069】次に、第1の遅延確認ステップS61で、抽出された各経路の信号遅延値を所定の規格値と比較すると共に第1の信号経路400の第1の信号遅延時間ts1と目標信号遅延時間Td0の差の絶対値を算出して第1

の規格値 t_{a1} と比較し、それぞれの規格値を超えるタイミングエラーの有無を判定する。

【0070】この第1の遅延確認ステップS61でタイミングエラーが検出された場合は、回路接続情報修正ステップS71で、エラーが検出された当該経路中の回路ブロックの差し替え或いは配置配線の変更等を施して第2の回路接続情報及び第2のレイアウト情報を作成する。但し、少なくとも第1の信号経路400に挿入されている第1のBFB259の差し替えは行わないようにし、回路ブロック650, 660, 670, 680の差し替え、或いは各回路ブロックの配置配線を変更するだけとする。

【0071】この後、この第2の回路接続情報と第2のレイアウト情報に基づいて、実配線遅延シミュレーションステップS41、遅延情報抽出ステップS51、第1の遅延確認ステップS61とこの回路接続情報修正ステップS71を、全てのタイミングエラーが無くなるまで繰り返す。

【0072】図8(b)は、第1の遅延確認ステップS61で全てのタイミングエラー無くなかった時点での第1の信号経路400を模式的に示すブロック図である。具体的には、回路ブロック650, 660, 680がそれ各自回路ブロック651, 661, 681に修正され、ブロック間接続配線経路701～705がブロック間接続配線経路711～715に修正されたものとする。この時点までは、第1のBFB259の差し替えなしで処理される。

【0073】次に、遅延調整結果確認ステップS81で、このときの実配線遅延シミュレーション結果から抽出された第1の信号経路400の第1の信号遅延時間 t_{s2} と第1の信号経路400の目標信号遅延値 T_{d0} との差 ($t_{s2} - T_{d0}$) を算出し、その絶対値が所定の誤差である第2の規格値 t_{a0} 以下か否かを確認する。

【0074】($t_{s2} - T_{d0}$) の絶対値が第2の規格値 t_{a0} を超えている場合は、次の第2の遅延確認ステップS91で、遅延調整ブロック群250の中で、BFBの信号遅延値 T_{bs} が、($T_{d0} - t_{s2} + T_{bmax}$) に最も近い第2のBFB255を選択し、第1のBFB259と置き換えて第2のレイアウト情報を修正し、第3のレイアウト情報を作成する。図8(c)は、この第2の遅延確認ステップS91を完了した時点での第1の信号経路400の模式的なブロック図である。

【0075】本実施形態においても、遅延調整ブロック群として、最大遅延調整量 t_{crmax1} が、第1の規格値 $t_{a1} \times 2$ を超え、且つ含まれる任意のBFBに対して、信号遅延値の差が第2の規格値 $t_{a0} \times 2$ 以下となる他のBFBが必ず存在するようにして準備しておけば、この処理により第1の信号経路400の信号遅延値と目標信号遅延値との差の絶対値を第2の規格値 t_{a0} 以下にできる。

【0076】次に、最終レイアウト情報作成ステップS101で、第3のレイアウト情報に対して、所定の設計ルールチェック等を実施し、LSI製造のためのレティクル製造用或いは電子ビーム直接露光用の最終レイアウト情報を作成し、設計を完了する。尚、遅延調整結果確認ステップS81で、($t_{s2} - T_{d0}$) の絶対値が第2の規格値 t_{a0} 以下であった場合は、この遅延調整結果確認ステップS81実施時点での最新の第2のレイアウト情報をそのまま第3のレイアウト情報とすればよい。

【0077】第2、第3の実施形態のLSIの設計方法で用いられるBFBは、上述の通り同一の遅延調整ブロック群に属するBFBは、ブロックの形状、大きさ及び配置配線禁止領域、入力部のトランジスタの形状、大きさ、配置、更に入力端子位置及び入力端子容量、出力部のトランジスタの形状、大きさ、配置、更に出力端子位置及び負荷依存性を含む駆動能力並びに遅延調整部の論理動作が同一になるように設計されているので、同一遅延調整ブロック群の中でBFBの差し替えを行う限り周辺の配置配線に影響を及ぼすことが全く無く、また当該BFBを含むクロック経路或いは第1の信号経路の実配線シミュレーション結果についても当該BFBの入力端までと出力端以降については影響がないので、LSIの配置配線のやり直しや、実配線遅延シミュレーションのやり直しは不要で、差し替えるBFBの信号遅延値の差分だけ当該クロック経路或いは第1の信号経路の信号遅延値を修正すればよく、高精度のスキー調整或いは信号遅延値調整を簡単に行うことができる。

【0078】尚、本発明は上述の各実施形態の説明に限定されるものではなく、その要旨の範囲内で種々変更が可能である。例えば、第2、第3の実施形態のLSIの設計方法では、予め準備する遅延調整ブロック群の最大遅延調整量が第1の規格値以上になるようにし、各クロック経路或いは第1の信号経路に所定のBFBを1個だけ挿入した例で説明したが、遅延調整ブロック群の最大遅延調整量が第1の規格値以下であったり、挿入するBFBの数が複数個であってもよい。複数のBFBを直列に挿入すれば、遅延調整ブロック群の最大遅延調整量が第1の規格値より小さくても、必要なスキー調整或いは信号遅延値調整が可能である。

【0079】また、複数のBFBを挿入するとき、それぞれのBFBが属する遅延調整ブロック群は同じであってもよいが、遅延値の変化ステップが異なる遅延調整ブロック群のBFBを組み合わせれば、遅延調整範囲の拡大と調整精度の確保を両立させることが可能となる。

【0080】また、スキー調整と特定信号経路の遅延値調整の双方が同時に必要なLSIであっても、第2、第3の実施形態の手法を容易に同時に適用でき、問題なく設計できる。

【0081】

【発明の効果】本発明のバッファ回路ブロックは、入力

部と遅延調整部と出力部を含んで構成され、少なくともブロックの入／出力端子位置、外形形状及び外形寸法、入力端子容量並びに出力部の負荷依存性を含めた駆動能力を一定に保ちながら、遅延調整部の信号遅延値を所定範囲で変化させることができる構成となっており、この信号遅延値のみを変化させた複数のBFBを備える遅延調整ブロック群を回路ライブラリに登録し、必要な信号経路にこのBFBを挿入しておけば、レイアウト終了後でも周辺の他の素子や配線に影響を及ぼすことなく異なる信号遅延値を有するBFBと差し替えることができると共に当該信号経路の遅延シミュレーションをやり直す必要もなく、信号経路の遅延値調整を容易に行うことができるという効果が得られる。

【0082】また、このBFBを用いる本発明のLSIの設計方法によれば、既存の遅延調整手法を用いてこのBFBが挿入されている信号経路の遅延調整をBFBの差し替えをすることなく所定のレベルまで実施した後、BFBの差し替えを行うようにしているので、高精度の遅延調整を簡便且つ短時間で達成できるという効果が得られる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態のBFBで構成される遅延調整ブロック群における共通部分の概略構成を示すブロック図である。

【図2】本発明の第1の実施形態のBFBにおける固定部分の具体的なレイアウトパターンの例である。

【図3】図2のレイアウト固定部分に基づく、BFBの回路接続レイアウトパターン(a)とその等価回路図(b)である。

【図4】図2のレイアウト固定部分に基づく、他のBFBの回路接続レイアウトパターン(a)とその等価回路図(b)である。

【図5】本発明の第2の実施形態のLSIの設計方法の概略を示す流れ図である。

【図6】本発明の第2の実施形態のLSIの設計方法の動作を説明するための模式的なクロックネットのプロッ

ク図の例である。

【図7】本発明の第3の実施形態のLSIの設計方法の概略を示す流れ図である。

【図8】第1の信号経路の模式的なブロック図の例である。

【図9】特開平10-11494号公報に開示された従来のクロックスキューを低減する方法の例を示す図である。

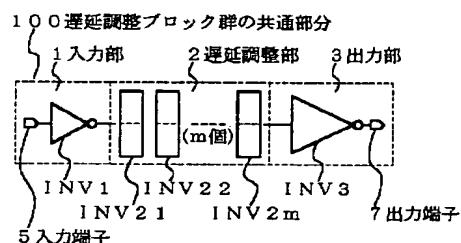
【図10】特開平8-274260号公報に開示された従来のクロックスキューを低減する方法の例を示す図である。

【図11】特開平10-335470号公報に開示された従来のクロックスキューを低減する方法の例を示す図である。

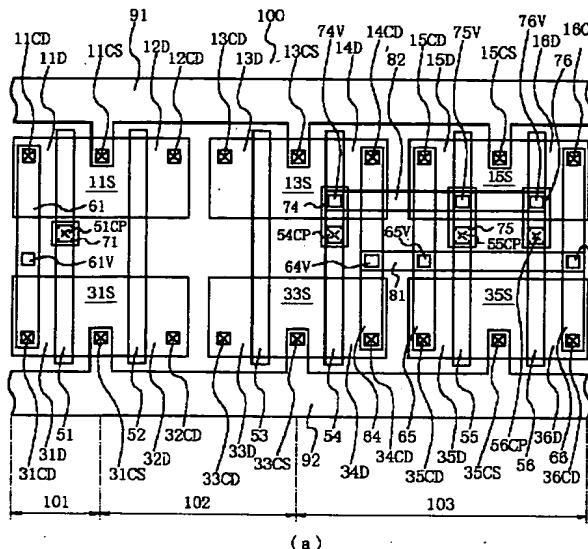
【符号の説明】

1, 101, 111, 121	入力部
2, 102, 112, 122	遅延調整部
3, 103, 113, 123	出力部
5 入力端子	
7 出力端子	
110, 120	バッファ回路ブロック (BFB)
11~16	PMOS
31~36	NMOS
51~56	ポリシリコン配線
61~66, 71~76, 81~85	配線
91	電源配線
92	接地配線
100	遅延調整ブロック群の共通部分 (BFC)
11D~16D, 31D~36D	ドレイン拡散領域
11S, 13S, 15S, 31S, 33S, 35S	共通ソース拡散領域
11CS, 13CS, 15CS, 31CS, 33CS,	
35CS, 11CD~16CD, 31CD~36CD,	
51CP~56CP	コンタクト孔 (CH)
61V~66V, 72V~76V	ヴィアホール (VH)

【図1】

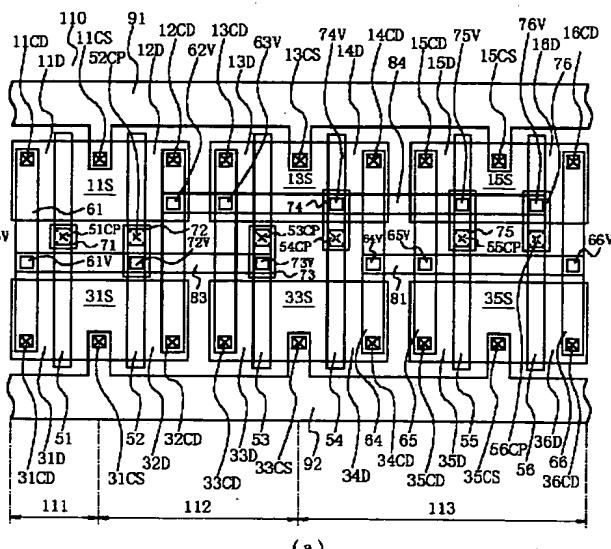


【図 2】

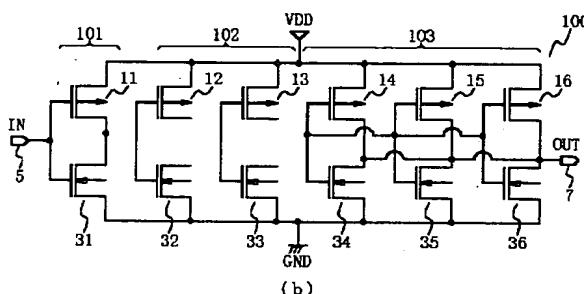


(a)

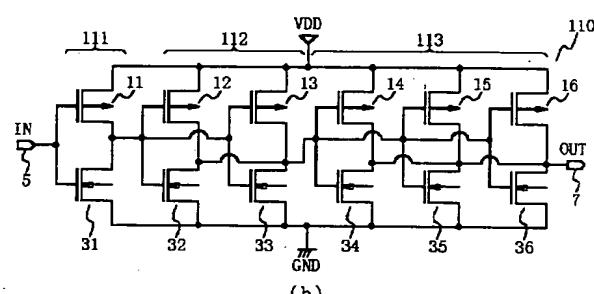
【図 3】



(a)

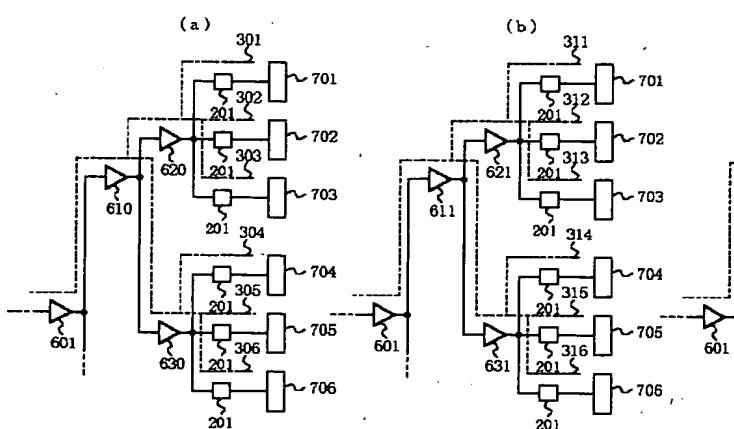


(b)

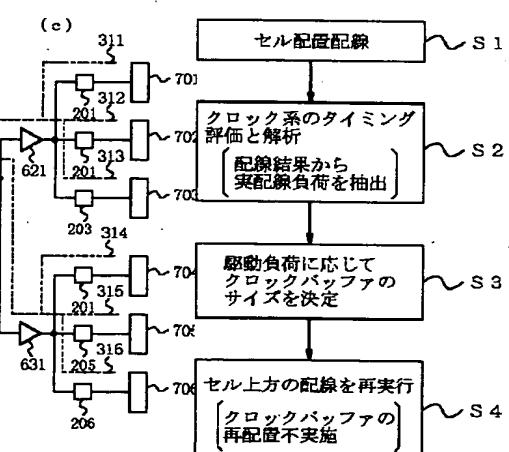


(b)

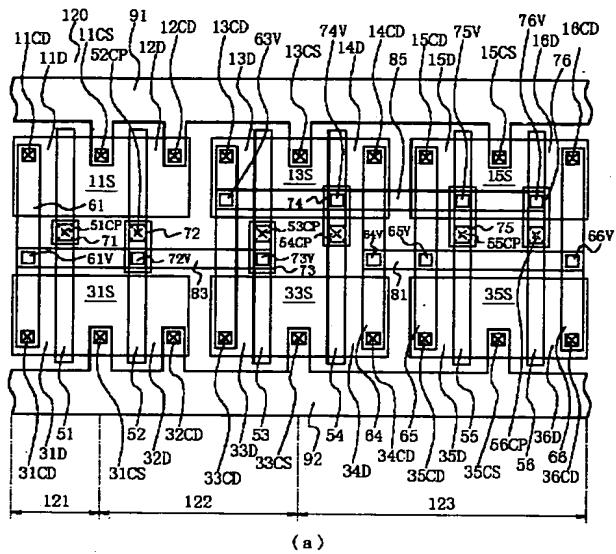
【図 6】



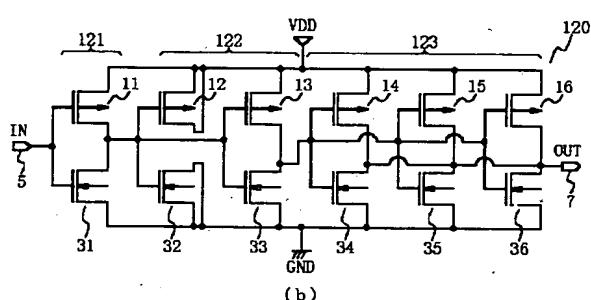
【図 11】



【図 4】

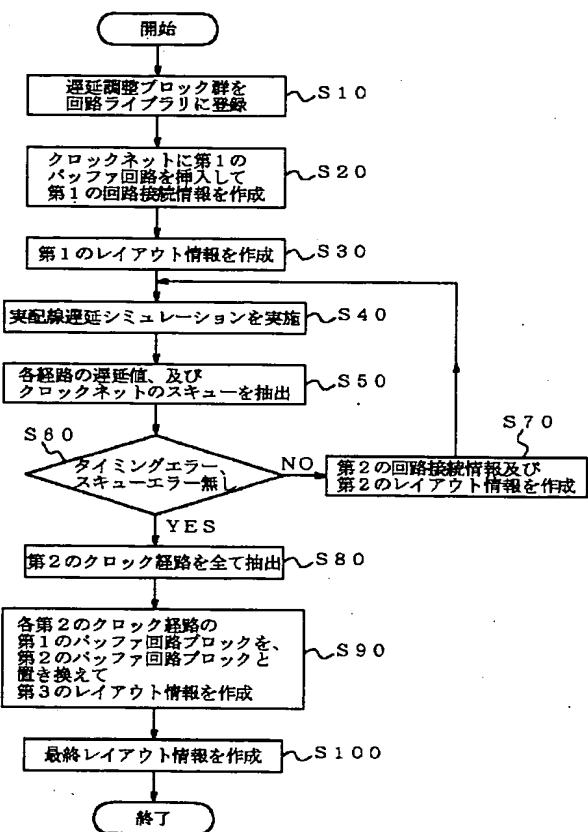


(a)

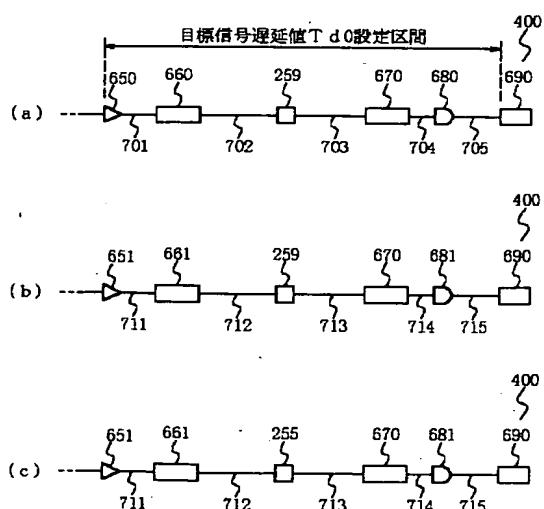


(b)

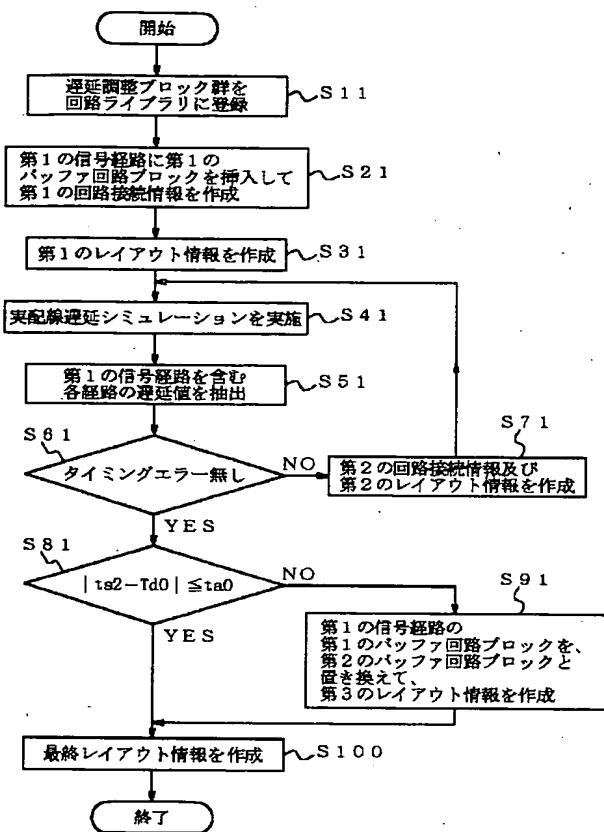
【図 5】



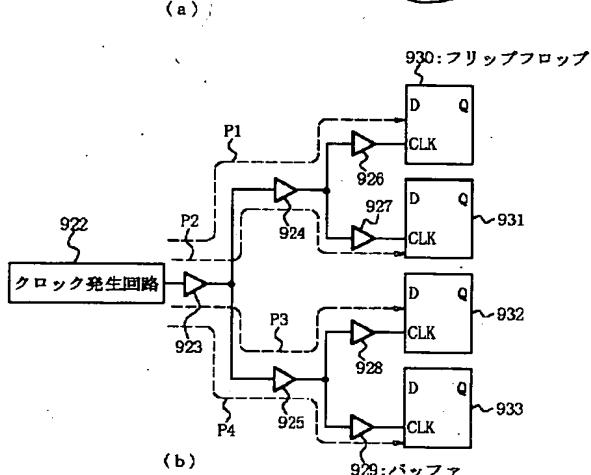
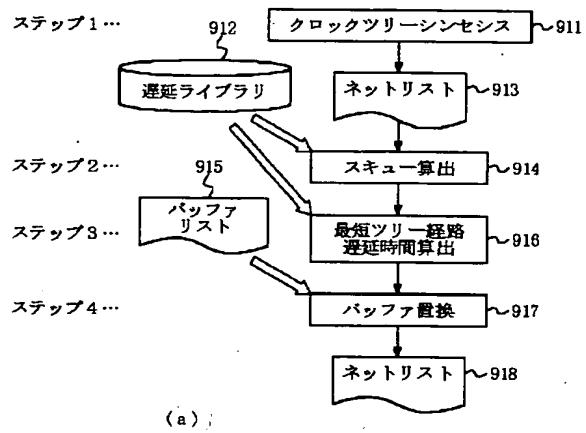
【図 8】



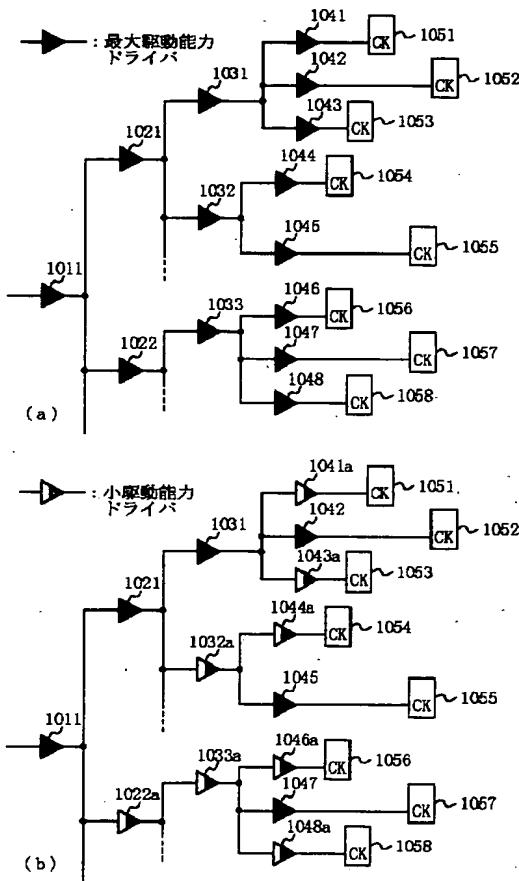
【図 7】



【図 9】



【図 10】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I

テ-マコード(参考)

H 0 1 L 21/82

H 0 1 L 21/82

D 5 J 0 5 6

H 0 3 K 19/0175

H 0 3 K 19/00

1 0 1 N

// H 0 3 K 5/13

F ターム(参考) 5B046 AA08 BA04 JA05 KA06
 5B079 BA20 BB10 BC03 DD06 DD08
 DD20
 5F038 CA03 CA17 CD06 CD08 CD09
 EZ20
 5F064 BB07 BB26 CC12 DD03 DD04
 DD07 DD10 DD14 DD25 EE22
 EE47 EE54 HH09 HH12
 5J001 AA05 AA11 BB12 DD00
 5J056 AA00 AA39 BB21 CC05 DD13
 DD29 EE15 FF08 HH03 KK00